

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

JC841 U.S. PTO  
09/741802  
12/22/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 3月16日

出 願 番 号

Application Number:

特願2000-074847

出 願 人

Applicant (s):

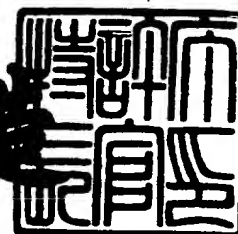
富士通株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2000年10月 6日

特許庁長官  
Commissioner,  
Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 9941077

【提出日】 平成12年 3月16日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 7/00

【発明の名称】 情報処理装置

【請求項の数】 6

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 木村 通秀

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 須賀 敦浩

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 三宅 英雄

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100104190

【弁理士】

【氏名又は名称】 酒井 昭徳

【手数料の表示】

【予納台帳番号】 041759

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9906241

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 情報処理装置

【特許請求の範囲】

【請求項 1】 特定用途演算命令としての、機能仕様を規定しない演算命令の処理が可能な制御部と、

柔軟なパイプライン構成に対応可能で、かつ応用分野ごとに前記特定用途演算命令の演算をおこなうように設計可能な特定用途向け演算器を設けたことを特徴とする情報処理装置。

【請求項 2】 前記特定用途向け演算器を IP として組み込むようにしたことを特徴とする請求項 1 に記載の情報処理装置。

【請求項 3】 前記制御部および前記特定用途向け演算器はプロセッサコア内に設けられていることを特徴とする請求項 1 または 2 に記載の情報処理装置。

【請求項 4】 プロセッサコア内に、前記特定用途向け演算器の命令発行から結果が利用可能になるまでのサイクル数を規定する書き換え可能なレジスタを設け、その規定されたサイクル数に基づいて命令の発行を制御するようになっていることを特徴とする請求項 1 ～ 3 のいずれか一つに記載の情報処理装置。

【請求項 5】 プロセッサコア内に、前記特定用途演算命令が発行されてから同じ命令を発行可能になるまでのサイクル数を規定する書き換え可能なレジスタを設け、その規定されたレジスタに基づいて後続の同じ命令の発行を制御するようになっていることを特徴とする請求項 1 ～ 4 のいずれか一つに記載の情報処理装置。

【請求項 6】 プロセッサコア内に、前記特定用途演算命令が発行されてから後続の同じ命令を発行可能になるまでのサイクル数が、前記特定用途向け演算器の命令発行から結果が利用可能になるまでのサイクル数と同じ場合と、後続の同じ命令を毎サイクル発行可能である場合とを切り替えるためのフラグを設け、前記フラグの切り替えによって命令の発行を制御するようになっていることを特徴とする請求項 1 ～ 4 のいずれか一つに記載の情報処理装置。

【発明の詳細な説明】

【0001】

## 【発明の属する技術分野】

本発明は、情報処理装置に関し、特に特定用途に特化した演算機能を持つ命令を搭載した情報処理装置に関する。

## 【0002】

特定分野のアプリケーションでは、その用途に特化した特殊な演算処理が存在することがある。その場合、演算処理を効率よくおこなうため、特定用途に特化した演算機能を持つ命令（以下、特定用途演算命令とする）を搭載した情報処理装置が使用される。しかし、特定用途演算命令は応用分野ごとに異なる。そのため、そのような特定用途向けの特殊な演算処理は汎用性に乏しく、応用分野が異なると無用となる場合が多い。

## 【0003】

## 【従来の技術】

種々の応用分野への適用を考慮すると、種々の応用分野の特定用途演算命令をすべて備えたプロセッサを開発することが考えられる。しかし、そのようなプロセッサの開発は、命令数の増大やプロセッサの構造の複雑化などを招き、回路規模の増大、消費電力の増加およびチップ単価の上昇等のデメリットをもたらすことになる。

## 【0004】

そこで、従来は、通常の演算命令をおこなうプロセッサの外部に、独自の命令制御構造を持つコプロセッサ等の付加演算処理装置を接続し、それによって、特定用途演算命令を付加するようにしている。このようにすれば、プロセッサ自体を再設計する必要がない。

## 【0005】

図5は、従来のプロセッサコアの構成を示すブロック図である。従来、プロセッサコアは、メモリ部11、命令フェッチ制御部12、命令バッファ部13、命令デコード部14、命令発行制御部15、スコアボード部16、命令実行制御部17、ロードストアユニット18、実行部19、分岐ユニット20および汎用レジスタ部21から構成される。

## 【0006】

図 6 および図 7 は、従来の命令実行制御部 1 7 の構成および動作を説明するための図である。図 6 および図 7 においては、同時に発行され得る命令が複数存在した場合に、そのうちの 1 命令分の動作に特化した部分が抜き出されて示されている。また、命令カテゴリ A 1 に属するパイプライン段数 2 段の命令群と、パイプライン段数 4 段に相当する命令群 B 2 の結果をレジスタに書き込むための制御、およびスコアボードのクリア制御に関する特徴的な部分について示されている。

#### 【 0 0 0 7 】

まず、図 6 について説明する。命令実行制御部 1 7 は、命令デコード部 1 4 からオペレーションコード（オペレーションコードの有効フラグを含む）およびディスティネーションレジスタ番号を受け取る。また、命令実行制御部 1 7 は、命令発行制御部 1 5 から命令のリリースフラグを受け取る。

#### 【 0 0 0 8 】

デコーダ 2 2 は、オペレーションコードおよびその有効フラグを受け取り、どの命令群に属するかを判定して、有効となるフラグを出力する。アンド回路 2 3、2 4 は、デコーダ 2 2 から出力された有効フラグとリリースフラグとのアンド論理をとり、各パイプラインレジスタの有効フラグ（バリッド A 1 / B 1）2 5、2 6 に結果を書き込む。

#### 【 0 0 0 9 】

同時に、パイプラインレジスタの第 1 ステージ 2 7 にディスティネーションレジスタ番号が格納される。これらの情報は 1 サイクルについて 1 段ずつつぎのパイプラインレジスタ、すなわちバリッド A 2 / B 2 の各有効フラグ 2 8、2 9 および第 2 ステージ 3 0、バリッド B 3 の有効フラグ 3 1 および第 3 ステージ 3 2、バリッド B 4 の有効フラグ 3 3 および第 3 ステージ 3 4 に進む。

#### 【 0 0 1 0 】

パイプラインレジスタの最終段において、オア回路 3 5 は、各々の命令群の有効フラグのオア論理をとり、スコアボード部 1 6 にスコアボードクリア要求信号を出力し、またレジスタ部 2 1 へ書き込み要求信号を出力する。それと同時に、有効フラグの最終段に相当するパイプラインレジスタのディスティネーションレ

ジスタの値は、バリッドA 2またはバリッドB 4の有効フラグ2 8, 3 3によって選択される。

#### 【0 0 1 1】

つまり、アンド回路3 6はバリッドA 2の有効フラグ2 8とパイプラインレジスタの第2ステージ3 0の値とのアンド論理を出力する。また、アンド回路3 7はバリッドB 4の有効フラグ3 3とパイプラインレジスタの第4ステージ3 4の値とのアンド論理を出力する。オア回路3 8は、それらアンド回路3 6, 3 7の出力のオア論理をとり、スコアボード部1 6およびレジスタ部2 1にディスティネーションレジスタ番号として出力する。

#### 【0 0 1 2】

パイプラインレジスタの出力ポートを共有している場合、これらの命令は同時に書き込むことはできない。したがって、その場合には、命令発行制御部1 5に、出力ポートを使用するタイミングについての情報（サブレスA）が通知される。それによって、命令発行制御部1 5は、出力ステージが競合しないための制御をおこない、書き込みポートの競合を防ぐ。この出力ポート使用タイミングの情報（サブレスA）として、バリッドB 2の有効フラグ2 9が用いられる。つまり、命令群Bが第2ステージの時に、命令群Aの発行を抑止する制御信号（サブレスA）が発行される。

#### 【0 0 1 3】

図7はリソースを一定期間占有するタイプの通常命令の制御回路構成例である。図7に示す構成は、図6に示す構成に、加算器4 1、2個のセレクタ4 2, 4 3、カウンタ4 4、3個の比較器4 5, 4 6, 4 7、バリッドnの有効フラグ4 8、パイプラインレジスタの第nステージ4 9、6個のアンド回路5 0, 5 1, 5 2, 5 3, 5 4, 5 5および3個のオア回路5 6, 5 7, 5 8をさらに設けた構成となっている。

#### 【0 0 1 4】

アンド回路5 0は、デコーダ2 2の出力とリリースフラグとのアンド論理を出力する。カウンタ4 4は、カウンタ4 4の出力値を加算器4 1により1ずつインクリメントした値を保持する。カウンタ4 4の出力値は、第1比較器4 5、第2

比較器46および第3比較器47によりそれぞれ「 $n$ 」、「 $n-2$ 」および「 $n-4$ 」と比較される。第1比較器45の比較結果は、アンド回路51のローアクティブの入力端子に入力される。

## 【0015】

アンド回路51の出力は、オア回路56とオア回路57に入力される。オア回路56は、アンド回路50の出力とアンド回路51の出力とのオア論理を第1セクタ42に出力する。第1セクタ42は、その入力値に応じてカウンタ44をリセットする。オア回路57は、アンド回路50の出力とアンド回路51の出力とのオア論理をとり、その結果をバリッド $n$ の有効フラグ48に書き込む。バリッド $n$ の有効フラグ48の出力はアンド回路52、53、54に入力されるとともに、アンド回路51のもう一方の入力端子に入力される。

## 【0016】

アンド回路52、アンド回路53およびアンド回路54のそれぞれもう一方の入力端子には、第1比較器45、第2比較器46および第3比較器47の比較結果が入力される。アンド回路52の出力は、オア回路35に入力される。オア回路35は、各々の命令群の有効フラグおよびアンド回路52の出力のオア論理をとり、スコアボード部16にスコアボードクリア要求信号を出力し、またレジスタ部21へ書き込み要求信号を出力する。

## 【0017】

オア回路58は、バリッドB2の有効フラグ29とアンド回路53の出力のオア論理をとり、命令群Aの発行を抑止する制御信号（サプレスA）を発行する。アンド回路54の出力は、命令群Bの発行を抑止する制御信号（サプレスB）となる。

## 【0018】

また、第2セクタ43は、パイプラインレジスタの第 $n$ ステージ49に格納されたディスティネーションレジスタ番号と、命令デコード部14から受け取ったディスティネーションレジスタ番号のいずれかを選択する。その選択は、アンド回路50の出力に応じておこなわれ、選択された番号はパイプラインレジスタの第 $n$ ステージ49に格納される。



## 【 0 0 1 9 】

アンド回路 5 5 は、パイプラインレジスタの第  $n$  ステージ 4 9 に格納されたディスティネーションレジスタ番号およびアンド回路 5 2 の出力のアンド論理をとる。オア回路 3 8 は、アンド回路 5 5, 3 6, 3 7 の出力のオア論理をとり、スコアボード部 1 6 およびレジスタ部 2 1 にディスティネーションレジスタ番号として出力する。

## 【 0 0 2 0 】

このように構成されていることによって、カウンタ 4 4 は、命令の結果が出力されるサイクル数まで、命令の有効フラグおよびディスティネーションレジスタを保持する。カウンタ 4 4 が規定サイクル数に達すると、ディスティネーションレジスタ番号とレジスタの使用フラグクリア信号がスコアボード部 1 6 に出力される、また、ディスティネーションレジスタ番号と書き込み要求信号がレジスタ部 2 1 に出力される。

## 【 0 0 2 1 】

また、後続の同じ演算器を占有する命令群が演算器を使用可能になる規定サイクル数で演算器の使用フラグクリア信号が出力される。命令発行制御部 1 5 への命令発行抑止信号（サブレス A およびサブレス B）は、出力ポートの使用タイミングと、後続命令群の実行サイクル数の差に基づいて出力される。

## 【 0 0 2 2 】

## 【発明が解決しようとする課題】

しかしながら、上述した従来技術においてコプロセッサ等の付加演算処理装置を接続する場合には、プロセッサからの外部 I/O による入出力のオーバーヘッドが存在するため、演算パイプライン段数が数段程度の特定用途演算命令を通常の命令と組み合わせて多用すると、性能の低下を招き、通常の命令の組合せで実現した場合と同じ程度のコストがかかるという欠点がある。

## 【 0 0 2 3 】

また、特定用途演算命令のパイプライン構成は応用分野によって種々変わるため、そのパイプラインをプロセッサに組み込む場合には命令発行制御回路の見直しが必要となり、プロセッサの制御部を再設計する必要がある。そのため、A S

IC (Application Specific Integrated Circuit) の IP (Intellectual Property) として活用する場合には、プロセッサの開発費用や開発期間の増大という不都合を招く。

【0024】

本発明は、上記問題点に鑑みてなされたものであって、プロセッサコアの制御部の基本設計を変更することなく、特定用途向け演算器を容易に変更することが可能な情報処理装置を提供することを目的とする。

【0025】

【課題を解決するための手段】

上記目的を達成するため、本発明にかかる情報処理装置は、プロセッサコアの制御部に、特定用途演算命令として、機能仕様を規定しない演算命令を設けるとともに、プロセッサコア内にその特定用途演算命令の演算をおこなう特定用途向け演算器（特殊用途命令演算器）を設けたものである。その特定用途向け演算器は、柔軟なパイプライン構成に対応可能な構成とし、別途応用分野ごとに設計される。特定用途演算命令は、汎用レジスタからのデータを通常の命令と同じ方式で特定用途向け演算器に供給される。そして、演算結果は通常命令の演算器と同じ方式でレジスタに書き込まれる。

【0026】

また、本発明にかかる情報処理装置は、プロセッサコア内に、特定用途向け演算器の命令発行から結果が利用可能になるまでのレイテンシ（以下、命令結果レイテンシとする）を規定するレジスタ（命令結果レイテンシレジスタ）を備えている。さらに、プロセッサコア内に、特定用途向け演算器の命令発行の間隔制約に関するレイテンシ（以下、命令発行レイテンシとする）を規定するレジスタ（命令発行レイテンシレジスタ）を備えている。

【0027】

この発明によれば、プロセッサコアの制御部に、特定用途演算命令として、機能仕様を規定しない演算命令を設けるとともに、プロセッサコア内に特定用途向け演算器を設け、その特定用途向け演算器を別途応用分野ごとに設計する構成となっているため、特定用途向け演算器を応用分野ごとに適した設計とすることに

よって、プロセッサコアの制御部の基本設計を変更することなく、容易かつ低コストで特定用途向けの情報処理装置の設計をおこなうことができる。

#### 【0 0 2 8】

また、命令結果レイテンシを規定するレジスタの出力を利用して、出力ポートの競合が起こるタイミングでの命令発行を防ぐことにより、レイテンシの違う命令間で、後続の命令との間で出力ポートの競合が発生するのを回避することができる。また、命令発行レイテンシを規定するレジスタを利用して、特定用途演算命令が発行されてから同じ命令を発行可能になるまでのサイクル数を規定することにより、先行の命令とのリソースの競合を防ぐことができる。

#### 【0 0 2 9】

これらの一連の制御は、同時に発行可能な命令の各機能ユニットについて同様な回路を設けることによって、容易に複数命令の同時発行が可能となる。また、応用分野によっては、演算器が未実装のまま出荷される場合もあり得る。この場合には、その命令が発行可能であるかどうかのフラグレジスタを実装することにより、未実装命令として例外が発生することで、容易に回避可能である。

#### 【0 0 3 0】

##### 【発明の実施の形態】

以下に、本発明の実施の形態について図1～図4を参照しつつ詳細に説明する。図1は、本発明にかかるプロセッサコアの構成の一例を示すブロック図である。このプロセッサコアは、メモリ部61、命令フェッチ制御部62、命令バッファ部63、命令デコード部64、命令発行制御部65、スコアボード部66、命令実行制御部67、ロードストアユニット68、実行部69、分岐ユニット70、汎用レジスタ部71、命令結果レイテンシレジスタ72、特殊用途命令演算器73および演算器出力セレクタ74を備えている。

#### 【0 0 3 1】

メモリ部61は、外部メモリまたはチップ内部に存在するメモリ回路を含む。また、メモリ部61は、メモリアクセスのためのバスおよびその制御回路、並びにキャッシュ回路等を含む。

#### 【0 0 3 2】

命令フェッチ制御部 62 は、分岐ユニット 70 からの分岐アドレス、または内部に持つフェッチ PC のアドレスに基づいて、つぎにフェッチすべきアドレスを決定する。命令フェッチ制御部 62 は、メモリ部 61 につぎにフェッチする命令のアドレスを供給し、メモリ上の命令を受け取り、命令バッファ部 63 につぎに実行する命令を供給する。

## 【0033】

命令バッファ部 63 は、命令フェッチ制御と同期して動作し、命令発行前の命令を一時的に保持するためのパイプラインレジスタである。命令デコード部 64 は、命令バッファ部 63 に保持された命令をデコードし、演算器および演算器制御部に必要な情報を通知するための回路である。その情報には、オペレーションコード、ソースレジスタ番号、ディスティネーションレジスタ番号、およびそれらの情報が有効であるか否かの情報が含まれる。命令デコード部 64 には、特定用途演算命令のオペレーションコードが定義されている。この特定用途演算命令のオペレーションコードは通常命令と同じ経路で各ブロックへ通知される。

## 【0034】

また、命令発行制御部 65 は、命令デコード部 64 から、オペレーションコード、ソースレジスタ番号、ディスティネーションレジスタ番号、およびそれらの情報の有効フラグを受け取る。また、命令発行制御部 65 は、スコアボード部 66 から現在使用しているレジスタ番号およびリソースの情報を受け取る。また、命令発行制御部 65 は、命令実行制御部 67 から出力ポート競合制御情報を受け取り、命令バッファ部 13 に格納されている命令が発行可能であるか否かを判断する。

## 【0035】

命令の発行が可能である場合、命令発行制御部 65 は、レジスタ部 71 にソースレジスタを読み出すためのソースレジスタ番号を供給し、またスコアボード部 66 に発行される命令のディスティネーションレジスタの使用フラグまたは使用演算器リソースのセットの指定をおこなう。同時に、命令発行制御部 65 は、命令フェッチ制御部 62、各機能ユニット 68, 69, 73, 70 および命令実行制御部 67 に命令デコード部 64 の命令がリリース可能であることを通知する。

また、命令発行制御部 6 5 は、命令フェッチ制御部 6 2 から、命令バッファ部 6 3 に格納されている命令の PC 値を受け取り、それを分岐ユニット 7 0 に供給する。

#### 【 0 0 3 6 】

また、スコアボード部 6 6 は、汎用レジスタ部 7 1 の各レジスタ番号が使用中であるか否かのフラグ、および 1 サイクル以上占有が必要なリソースが使用中であるか否かのフラグを保持する。また、スコアボード部 6 6 は、命令発行制御部 6 5 からの各フラグのセット要求、または命令実行制御部 6 7 からのフラグクリア要求に対して、フラグのセットまたはクリアをおこなう回路を有する。フラグの結果は、命令発行制御部 6 5 に通知され、命令発行制御情報として使用される。

#### 【 0 0 3 7 】

また、スコアボード部 6 6 には、命令発行レイテンシが 2 以上の場合に後続の特定用途演算命令がリソース競合を起こさないようにするための特殊用途向け演算器使用フラグが設けられる。そして、通常命令の演算器を占有する命令と同様に、スコアボード部 6 6 は、命令発行制御部 6 5 からフラグのセット要求を受け取り、また命令実行制御部 6 7 からフラグクリア要求を受け取る。

#### 【 0 0 3 8 】

命令実行制御部 6 7 は、命令デコード部 6 4 からオペレーションコードとディスティネーションレジスタ番号を受け取る。また、命令実行制御部 6 7 は、命令発行制御部 6 5 から命令の発行フラグを受け取り、実行部 6 9 での命令の実行と同期して、命令の有効フラグとディスティネーションレジスタ番号を保持する。また、命令実行制御部 6 7 は、リソースを占有する命令に対して、出力可能になるまでのカウンタを有し、別途命令の有効フラグおよびディスティネーションレジスタ番号を保持する。

#### 【 0 0 3 9 】

これらの命令の有効フラグに基づいて、命令実行制御部 6 7 は、後続命令の発行に対する出力ポートの競合制御信号を生成し、命令発行制御部 6 5 に通知する。命令実行制御部 6 7 は、実行部 6 9 が結果を出力するタイミングで、スコアボ

ード部66にディスティネーションレジスタ番号とレジスタ使用フラグクリア要求を出力する。また、命令実行制御部67は、レジスタ部71に対し、ディスティネーションレジスタ番号と書き込み要求信号を出力する。また、命令実行制御部67は、後続の同じ演算器を占有する命令が演算器を使用可能になるタイミングで、リソース使用フラグのクリア要求信号を出力する。

## 【0040】

ロードストアユニット68は、命令デコード部64からオペレーションコードおよびディスティネーションレジスタ番号と、それらの有効フラグを受け取る。また、ロードストアユニット68は、汎用レジスタ部71からストアデータおよびソースデータを受け取る。また、ロードストアユニット68は、命令発行制御部65から命令のリリース情報を受け取る。

## 【0041】

ロードストアユニット68は、メモリ部61にアドレスおよびオペレーションコードを供給するとともに、メモリ部61にストアデータを供給する。また、ロードストアユニット68は、メモリ部61からロードデータを受け取る。そして、ロードが成功すると、スコアボード部66にディスティネーションレジスタ番号の使用フラグクリア要求を出力する。ロードデータは、ロードのディスティネーションレジスタ番号と書き込み要求信号とともに汎用レジスタ部71に通知され、汎用レジスタ部71に書き込まれる。

## 【0042】

実行部69は命令デコード部64からオペレーションコードを受け取る。また、実行部69は汎用レジスタ部71からソースデータを受け取る。また、実行部69は命令発行制御部65から命令のリリース情報を受け取る。実行部69では、オペレーションコードにしたがった演算器が使用される。その演算結果は、固定サイクル数後に出力される。演算結果は、命令実行制御部67から出力されるディスティネーションレジスタ番号と同期して、レジスタ部71に書き込まれる。

## 【0043】

分岐ユニット70は命令デコード部64からオペレーションコードを受け取る

。また、分岐ユニット 7 0 は汎用レジスタ部 7 1 からソースデータを受け取る。また、分岐ユニット 7 0 は命令発行制御部 6 5 から PC と命令のリリース情報を受け取る。分岐ユニット 7 0 は、分岐命令を処理して、分岐の有効フラグと分岐時のつぎの PC を命令フェッチ制御部 6 2 に通知する。

## 【 0 0 4 4 】

汎用レジスタ部 7 1 は、命令発行制御部 6 5 からソースレジスタ番号を受け取り、各機能ユニット 6 8, 6 9, 7 3, 7 0 にそれぞれソースデータを送る。また、汎用レジスタ部 7 1 は、ロード時のディスティネーションレジスタ番号とロードデータを受け取り、レジスタに書き込む。また、汎用レジスタ部 7 1 は、命令実行制御部 6 7 からディスティネーションレジスタ番号を受け取るとともに、実行部 6 9 の出力結果を書き込む。

## 【 0 0 4 5 】

命令結果レイテンシレジスタ 7 2 は、特定用途演算命令を実行した際に、何サイクル後に結果が出るかということを規定するための書き換え可能な特殊用途レジスタである。命令結果レイテンシレジスタ 7 2 の出力は、命令実行制御部 6 7 により受け取られる。命令結果レイテンシレジスタ 7 2 の出力は、特定用途演算命令の実行完了のタイミングと、結果のレジスタへの書き込み制御、スコアボード部 6 6 および命令発行制御部 6 5 による、レジスタ依存のある後続命令の発行制御に使用される。

## 【 0 0 4 6 】

特殊用途命令演算器 7 3 は特定用途向けの演算器であり、その仕様は応用分野ごとに異なる。また、特殊用途命令演算器 7 3 のパイプライン構成は、組み込む演算器により異なる。ただし、必要条件として、結果が出るまでのパイプラインサイクルは組み込む演算器の種類ごとに固定であることと、結果の出力サイクルにおいて他の演算器の出力遅延特性等と合わせるということという制約がある。

## 【 0 0 4 7 】

演算器出力セクタ 7 4 は、通常演算をおこなう演算器である実行部 6 9 の出力と特殊用途命令演算器 7 3 の出力とを切り替えるセクタである。その切り替えは、命令実行制御部 6 7 の出力に基づいておこなわれる。

## 【 0 0 4 8 】

図 2 は、本発明にかかるプロセッサコアの構成の他の例を示すブロック図である。図 2 に示すプロセッサコアは、図 1 に示す構成に命令発行レイテンシレジスタ 7 5 を追加した構成となっている。

## 【 0 0 4 9 】

命令発行レイテンシレジスタ 7 5 は、演算器リソースを占有するタイプの特定用途演算命令のために、後続の同じ特定用途演算命令が発行可能になるまでのサイクル数を規定するレジスタであり、書き換え可能な構成となっている。

## 【 0 0 5 0 】

なお、命令発行レイテンシレジスタ 7 5 の代わりに、命令発行レイテンシが 1、すなわち毎サイクル発行可能である場合と、結果が出るまでリソースを占有するために命令発行レイテンシが命令結果レイテンシの値と同じになる場合とを切り替えるためのフラグを設けた構成としてもよい。

## 【 0 0 5 1 】

このようにすれば、後続の同じ命令を発行することができるようになるまでのサイクル数が 1 の場合と、結果を利用することができるようになるまでのサイクル数と同じ場合とを切り替える制御を実現することができる。また、命令発行レイテンシレジスタ 7 5 および命令発行レイテンシレジスタ 7 5 の代わりのフラグを用意しない場合は、これらの制御方式のいずれか一方が選択されているとみなすことができる。

## 【 0 0 5 2 】

図 3 は、パイプラインに同期して毎サイクル発行可能な場合の命令実行制御部 6 7 の構成および動作を説明するための図である。図 3 においては、同時に発行され得る命令が複数存在した場合に、そのうちの 1 命令分の動作に特化した部分が抜き出されて示されている（図 4 も同じ）。また、パイプライン段数 2 段の通常演算命令群 A、パイプライン段数 4 段の通常演算命令群 B およびパイプライン段数 4 段の特殊用途演算命令群 MC の結果をレジスタに書き込むための制御、およびスコアボードのクリア制御に関する特徴的な部分が示されている。なお、本発明は、上述したパイプライン段数に制限されるものではない。



## 【0053】

命令実行制御部67は、2個のデコーダ81、82、命令群Aに関するパイプラインレジスタの有効フラグ（バリッドA1、A2）83、84、命令群Bに関するパイプラインレジスタの有効フラグ（バリッドB1～B4）85、86、87、88、命令群MCに関するパイプラインレジスタの有効フラグ（バリッドMC1～MC4）89、90、91、92、パイプラインレジスタの第1～第4のステージ93、94、95、96、13個のアンド回路97～109、および5個のオア回路110～114を備えている。

## 【0054】

命令実行制御部67は、命令デコード部64からオペレーションコードおよびその有効フラグと、ディスティネーションレジスタ番号を受け取る。また、命令実行制御部67は命令発行制御部65から命令のリリースフラグを受け取る。また、命令実行制御部67は、命令結果レイテンシレジスタ72から命令結果レイテンシを受け取る。

## 【0055】

第1デコーダ81はオペレーションコードおよびその有効フラグを受け取る。アンド回路97、98、99は、それぞれ、第1デコーダ81から出力された有効フラグとリリースフラグとのアンド論理をとる。バリッドA1、B1、MC1の各有効フラグ83、85、89は、それぞれアンド回路97、98、99の出力値を格納する。同時に、パイプラインレジスタの第1ステージ93にディスティネーションレジスタ番号が格納される。これらの情報は1サイクルについて1段ずつぎのパイプラインレジスタに進む。

## 【0056】

また、第2デコーダ82は命令結果レイテンシを受け取る。アンド回路100は第2デコーダ82の出力値とバリッドMC4の有効フラグ92とのアンド論理をとる。アンド回路101は第2デコーダ82の出力値とバリッドMC3の有効フラグ91とのアンド論理をとる。アンド回路102は第2デコーダ82の出力値とバリッドMC2の有効フラグ90とのアンド論理をとる。アンド回路103は第2デコーダ82の出力値とバリッドMC1の有効フラグ89とのアンド論理

をとる。

【0057】

オア回路112は、アンド回路100, 101, 102, 103の出力のオア論理をとり、演算器出力セクタ74に制御信号（出力選択信号）を出力する。また、オア回路113は、バリッドA2の有効フラグ84とバリッドB4の有効フラグ88と出力選択信号とのオア論理をとり、スコアボード部66にスコアボードクリア要求信号を出力し、またレジスタ部71へ書き込み要求信号を出力する。

【0058】

アンド回路104は第2デコーダ82の出力値とバリッドMC4の有効フラグ92とのアンド論理をとる。オア回路110は、アンド回路104とバリッドB4の有効フラグ88のオア論理をとる。アンド回路105はオア回路110の出力とパイプラインレジスタの第4ステージ96とのアンド論理をとる。アンド回路106は第2デコーダ82の出力値とバリッドMC3の有効フラグ91とパイプラインレジスタの第3ステージ95とのアンド論理をとる。

【0059】

アンド回路107は第2デコーダ82の出力値とバリッドMC2の有効フラグ90とのアンド論理をとる。オア回路111は、アンド回路107とバリッドA2の有効フラグ84のオア論理をとる。アンド回路108はオア回路111の出力とパイプラインレジスタの第2ステージ94とのアンド論理をとる。アンド回路109は第2デコーダ82の出力値とバリッドMC1の有効フラグ89とパイプラインレジスタの第1ステージ93とのアンド論理をとる。オア回路114は、アンド回路105, 106, 108, 109の出力のオア論理をとり、スコアボード部66およびレジスタ部71にディスティネーションレジスタ番号として出力する。

【0060】

このように構成されていることによって、命令結果レイテンシレジスタ72により、パイプラインレジスタ中のディスティネーションレジスタ番号および命令の有効フラグを選択することができる。そして、従来と同様に、命令結果レイテ

ンシレジスタ72に対し、出力ポートを同時に使用するタイミングを有効フラグから選択し、各命令群の発行を抑止する制御信号を命令発行制御部65に通知するようにすることによって、特定用途演算命令との出力ポートの競合を抑止することができる。

## 【0061】

図4は、リソースを占有する場合の命令実行制御部67の構成および動作を説明するための図である。図4においては、パイプライン段数2段の命令群Aおよびパイプライン段数4段の命令群Bの結果をレジスタに書き込むための制御、およびスコアボードのクリア制御に関する特徴的な部分が表示されている。なお、本発明は、上述したパイプライン段数に制限されるものではない。

## 【0062】

命令実行制御部67は、デコーダ81、バリッドA1、A2の有効フラグ83、84、バリッドB1～B4の有効フラグ85、86、87、88、パイプラインレジスタの第1～第4ステージ93、94、95、96、加算器141、2個のセレクタ142、143、カウンタ144、比較器145、バリッドnの有効フラグ148、パイプラインレジスタの第nステージ149、8個のアンド回路97、98、136、137、150、151、152、155および4個のオア回路135、138、156、157を備えている。

## 【0063】

デコーダ81はオペレーションコードおよびその有効フラグを受け取る。アンド回路97、98、150は、それぞれ、デコーダ81から出力された有効フラグとリリースフラグとのアンド論理をとる。バリッドA1、B1の各有効フラグ83、85は、それぞれアンド回路97、98の出力値を格納する。同時に、パイプラインレジスタの第1ステージ93にディスティネーションレジスタ番号が格納される。これらの情報は1サイクルについて1段ずつつぎのパイプラインレジスタに進む。

## 【0064】

カウンタ144は、カウンタ144の出力値を加算器141により1ずつインクリメントした値を保持する。カウンタ144の出力値は、比較器145により

、命令発行レイテンシレジスタ75に格納された値と比較される。比較器145の比較結果は、アンド回路151のローアクティブの入力端子に入力される。

## 【0065】

アンド回路151の出力は、オア回路156とオア回路157に入力される。オア回路156は、アンド回路150の出力とアンド回路151の出力とのオア論理を第1セクタ142に出力する。第1セクタ142は、その入力値に応じてカウンタ144をリセットする。オア回路157は、アンド回路150の出力とアンド回路151の出力とのオア論理をとり、その結果をバリッドnの有効フラグ148に書き込む。バリッドnの有効フラグ148の出力はアンド回路152に入力されるとともに、アンド回路151のもう一方の入力端子に入力される。

## 【0066】

アンド回路152のもう一方の入力端子には、比較器145の比較結果が入力される。アンド回路152の出力は、オア回路135に入力される。オア回路135は、各々の命令群の有効フラグおよびアンド回路152の出力のオア論理をとり、スコアボード部66にスコアボードクリア要求信号を出力し、またレジスタ部71へ書き込み要求信号を出力する。

## 【0067】

また、第2セクタ143は、パイプラインレジスタの第nステージ149に格納されたディスティネーションレジスタ番号と、命令デコード部64から受け取ったディスティネーションレジスタ番号のいずれかを選択する。その選択は、アンド回路150の出力に応じておこなわれ、選択された番号はパイプラインレジスタの第nステージ149に格納される。アンド回路155は、パイプラインレジスタの第nステージ149に格納されたディスティネーションレジスタ番号およびアンド回路152の出力のアンド論理をとる。

## 【0068】

アンド回路136は、パイプラインレジスタの第2ステージ94に格納されたディスティネーションレジスタ番号およびバリッドA2の有効フラグ84のアンド論理をとる。アンド回路137は、パイプラインレジスタの第4ステージ96

に格納されたディスティネーションレジスタ番号およびバリッドB4の有効フラグ88のアンド論理をとる。オア回路138は、アンド回路155, 136, 137の出力のオア論理をとり、スコアボード部66およびレジスタ部71にディスティネーションレジスタ番号として出力する。

#### 【0069】

このように構成されていることによって、カウンタ144は、命令発行レイテンシレジスタ75に格納されているサイクル数になるまで、命令の有効フラグおよびディスティネーションレジスタを保持する。カウンタ144が、命令発行レイテンシレジスタ75に格納されているサイクル数に達すると、通常命令と同様の制御がおこなわれる。

#### 【0070】

なお、命令実行制御部67は命令発行制御部65に命令発行抑止信号（サプレスAおよびサプレスB）を出力する構成となっているが、図4においては、それら命令発行抑止信号（サプレスAおよびサプレスB）を出力するための回路部分は省略されている。

#### 【0071】

上述した実施の形態によれば、プロセッサコアの制御部に、特定用途演算命令として、機能仕様を規定しない演算命令が設けられているとともに、プロセッサコア内にその特定用途演算命令の演算をおこなう特殊用途命令演算器73が設けられており、その特殊用途命令演算器73が別途応用分野ごとに設計されるため、特殊用途命令演算器73を応用分野ごとに適した設計とすることによって、プロセッサコアの制御部の基本設計を変更することなく、容易かつ低コストで特定用途向けの情報処理装置の設計をおこなうことができる。

#### 【0072】

また、上述した実施の形態によれば、命令結果レイテンシレジスタ72の出力を利用して、出力ポートの競合が起こるタイミングでの命令発行を防ぐことにより、レイテンシの違う命令間で、後続の命令との間で出力ポートの競合が発生するのを回避することができる。また、命令発行レイテンシレジスタ75を利用して、特定用途演算命令が発行されてから同じ命令を発行可能になるまでのサイク

ル数を規定することにより、先行の命令とのリソースの競合を防ぐことができる。

【 0 0 7 3 】

以上において本発明は、上述した実施の形態に限らず、種々設計変更可能であるし、またパイプラインの段数は2段や4段に限らない。

【 0 0 7 4 】

【発明の効果】

本発明によれば、情報処理装置は、そのプロセッサコアの制御部に、特定用途演算命令として、機能仕様を規定しない演算命令が設けられるとともに、プロセッサコア内に特定用途向け演算器を有し、その特定用途向け演算器を別途応用分野ごとに設計する構成となっているため、特定用途向け演算器を応用分野ごとに適した設計とすることによって、プロセッサコアの制御部の基本設計を変更することなく、容易かつ低コストで特定用途向けの情報処理装置の設計をおこなうことができる。

【図面の簡単な説明】

【図 1】

本発明にかかるプロセッサコアの構成の一例を示すブロック図である。

【図 2】

本発明にかかるプロセッサコアの構成の他の例を示すブロック図である。

【図 3】

実施の形態の命令実行制御部の構成および動作を説明するための図である。

【図 4】

実施の形態の命令実行制御部の構成および動作を説明するための図である。

【図 5】

従来のプロセッサコアの構成を示すブロック図である。

【図 6】

従来の命令実行制御部の構成および動作を説明するための図である。

【図 7】

従来の命令実行制御部の構成および動作を説明するための図である。

【符号の説明】

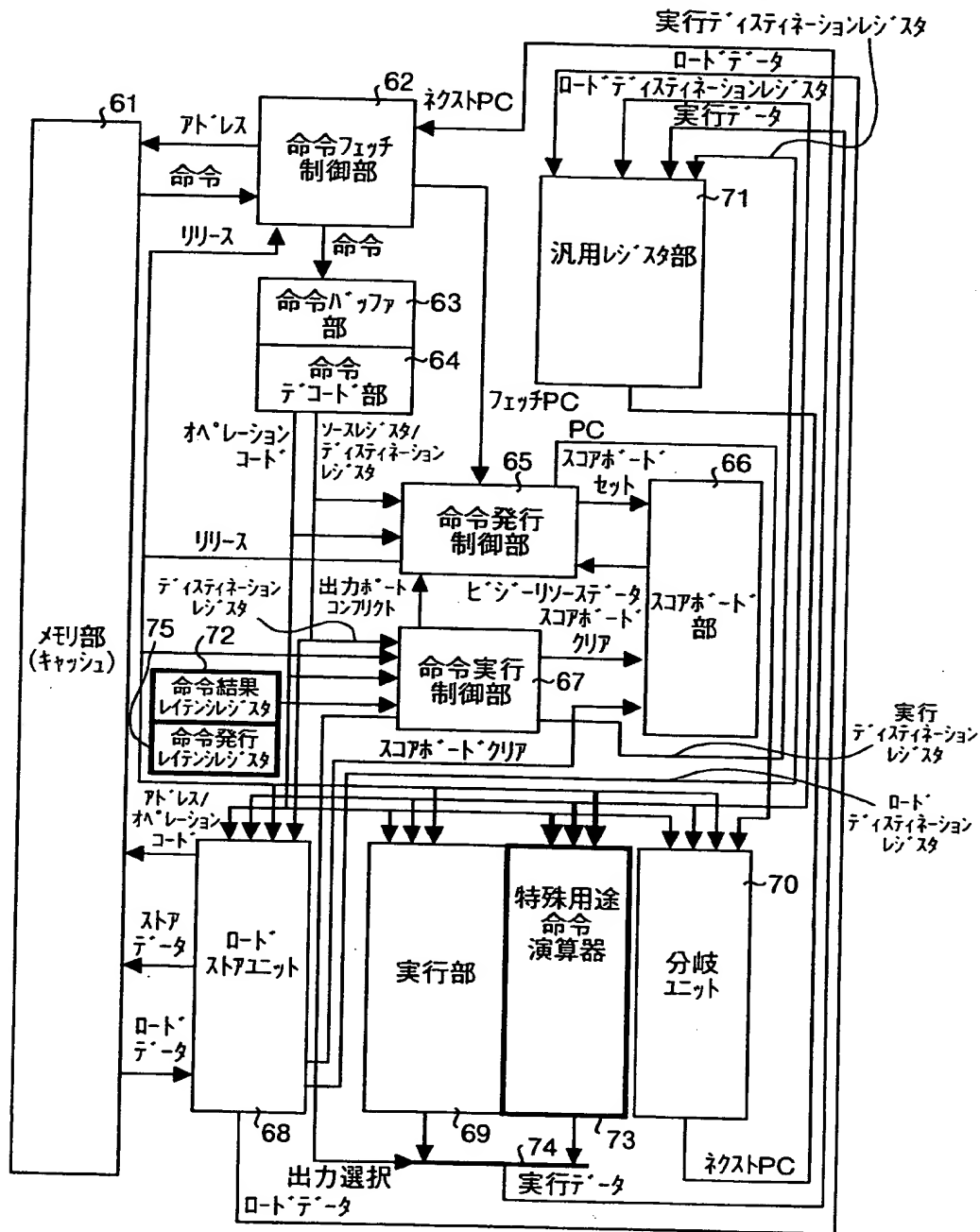
- 7 2 結果が利用可能になるまでのサイクル数を規定するレジスタ  
(命令結果レイテンシレジスタ)
- 7 3 特定用途向け演算器 (特殊用途命令演算器)
- 7 5 同じ命令を発行可能になるまでのサイクル数を規定するレジスタ  
(命令発行レイテンシレジスタ)





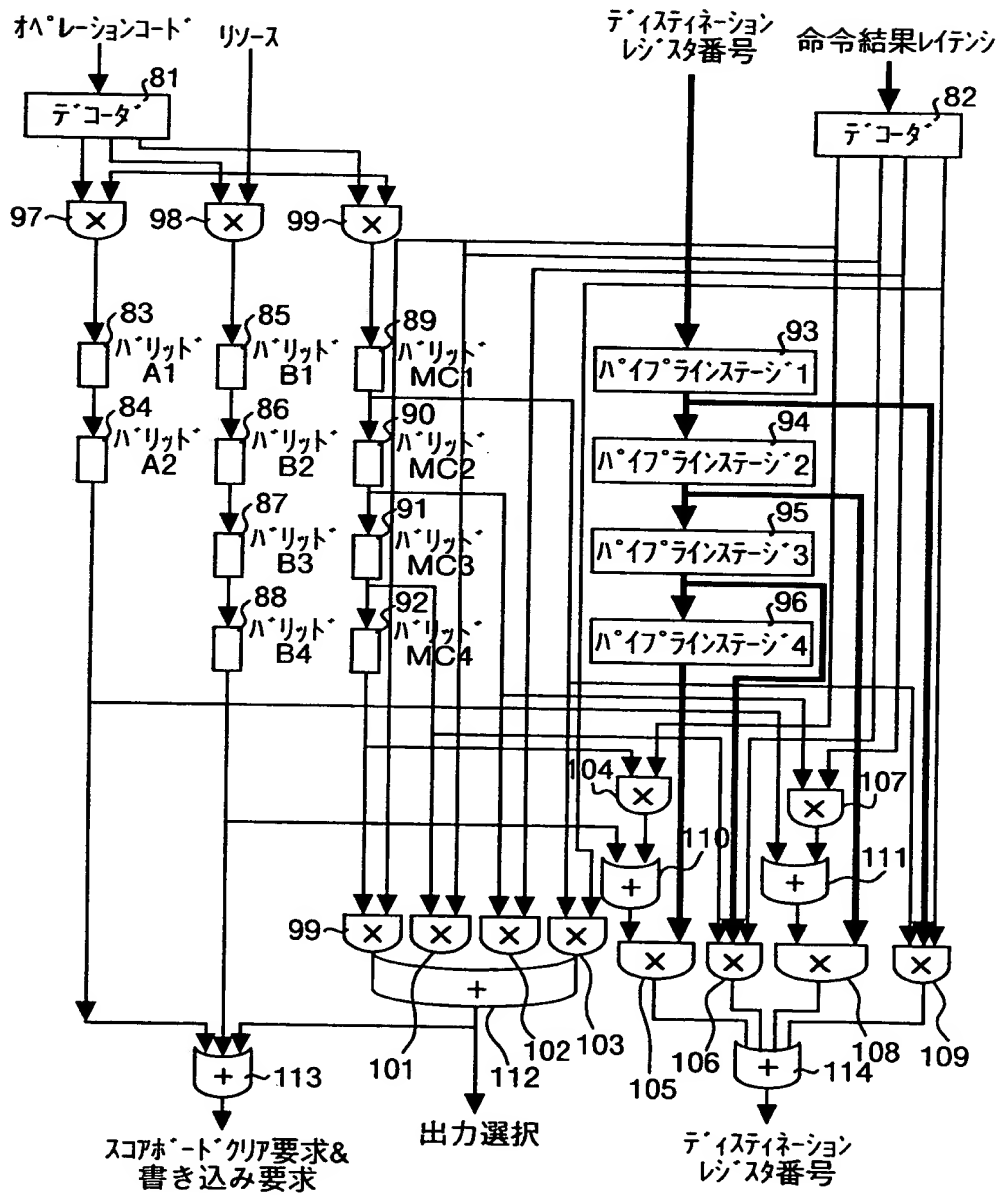
【図 2】

本発明にかかるプロセッサの構成の他の例を示すブロック図



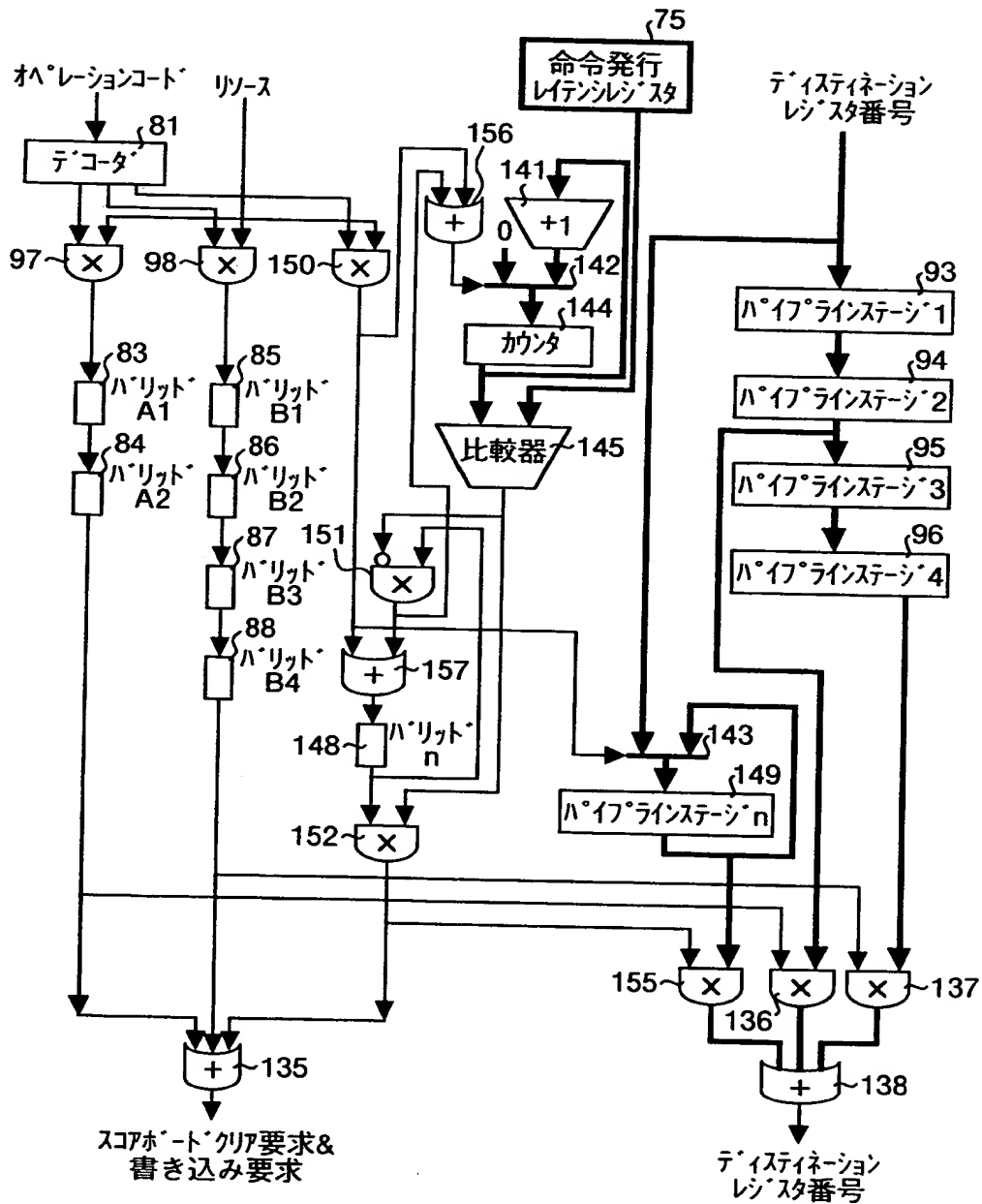
【図 3】

実施の形態の命令実行制御部の構成および動作を  
説明するための図



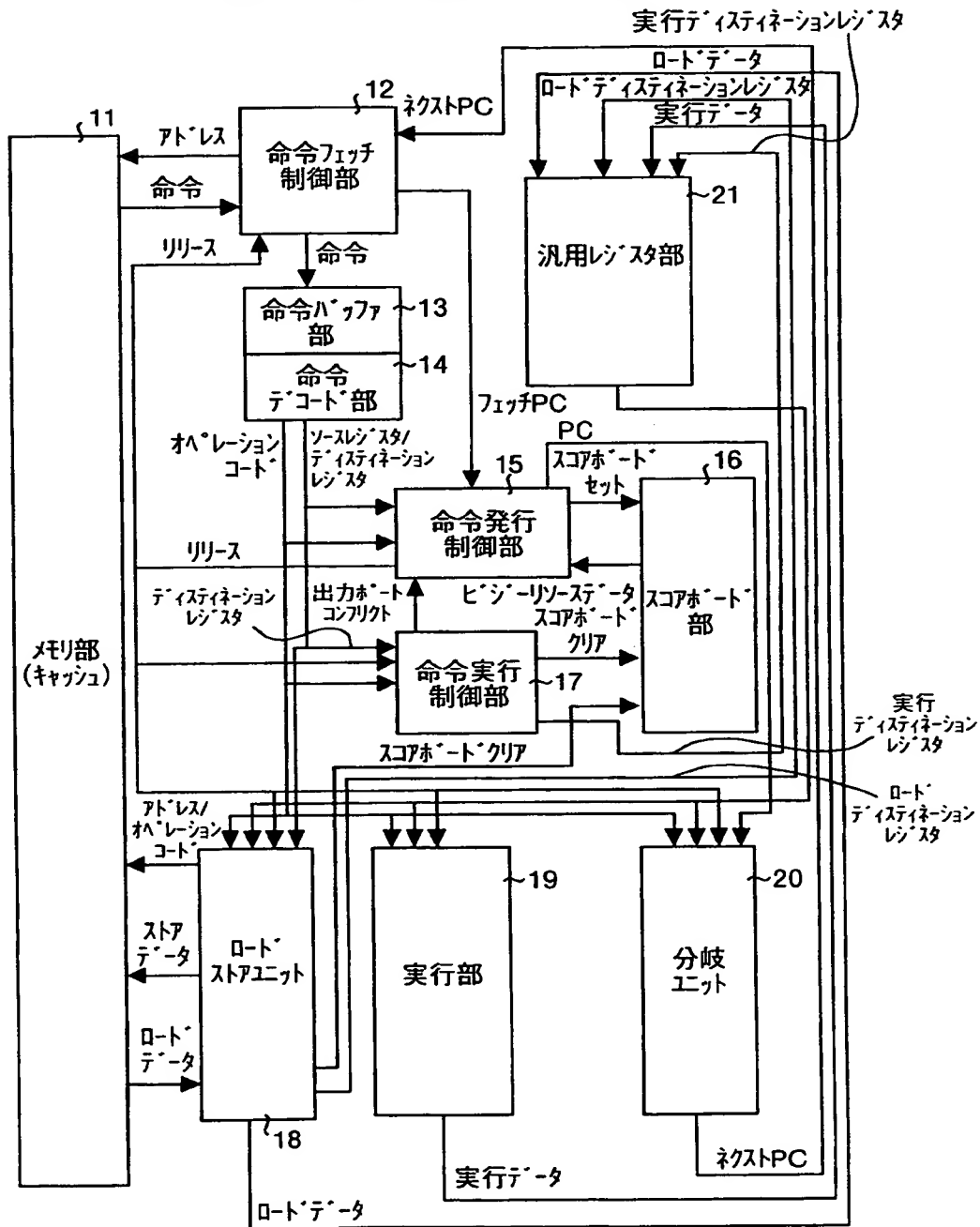
【図 4】

実施の形態の命令実行制御部の構成および動作を説明するための図



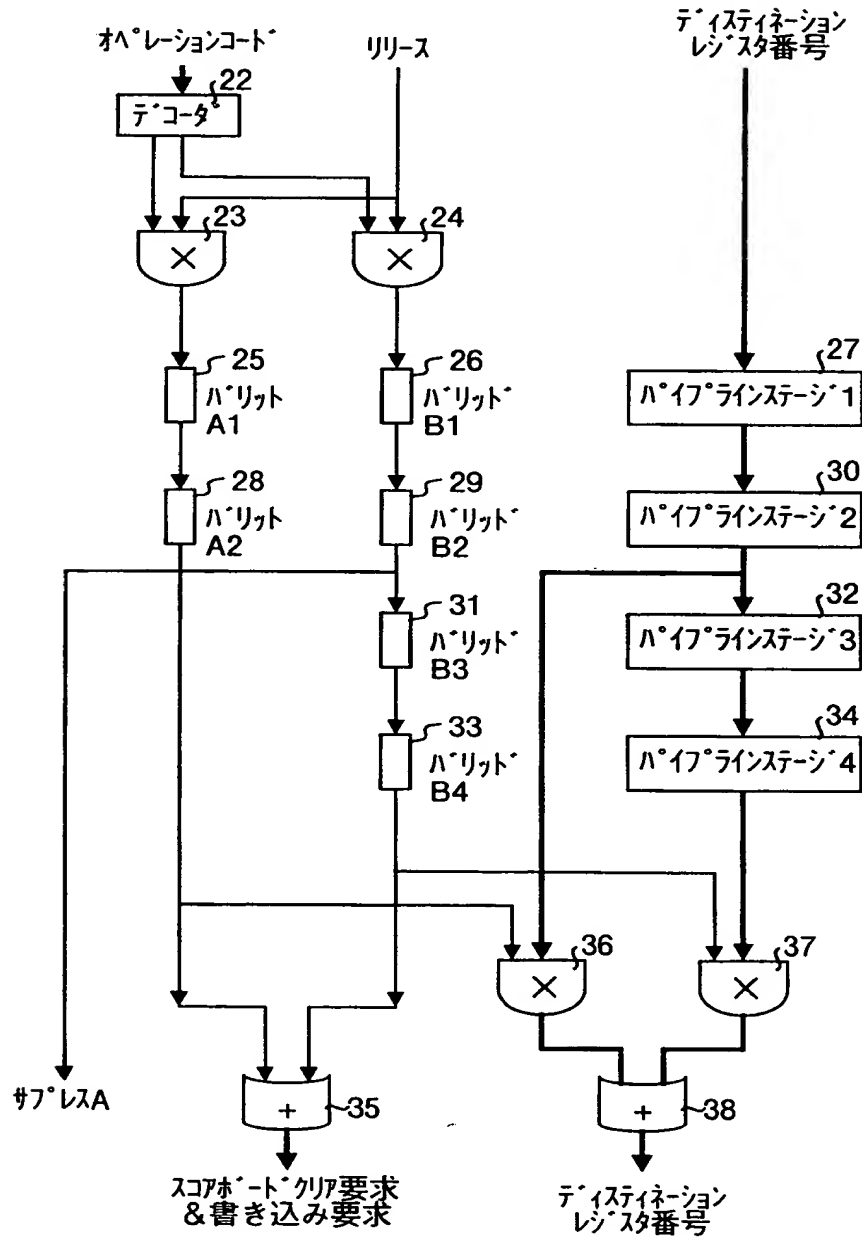
【図 5】

従来のプロセッサの構成を示すブロック図



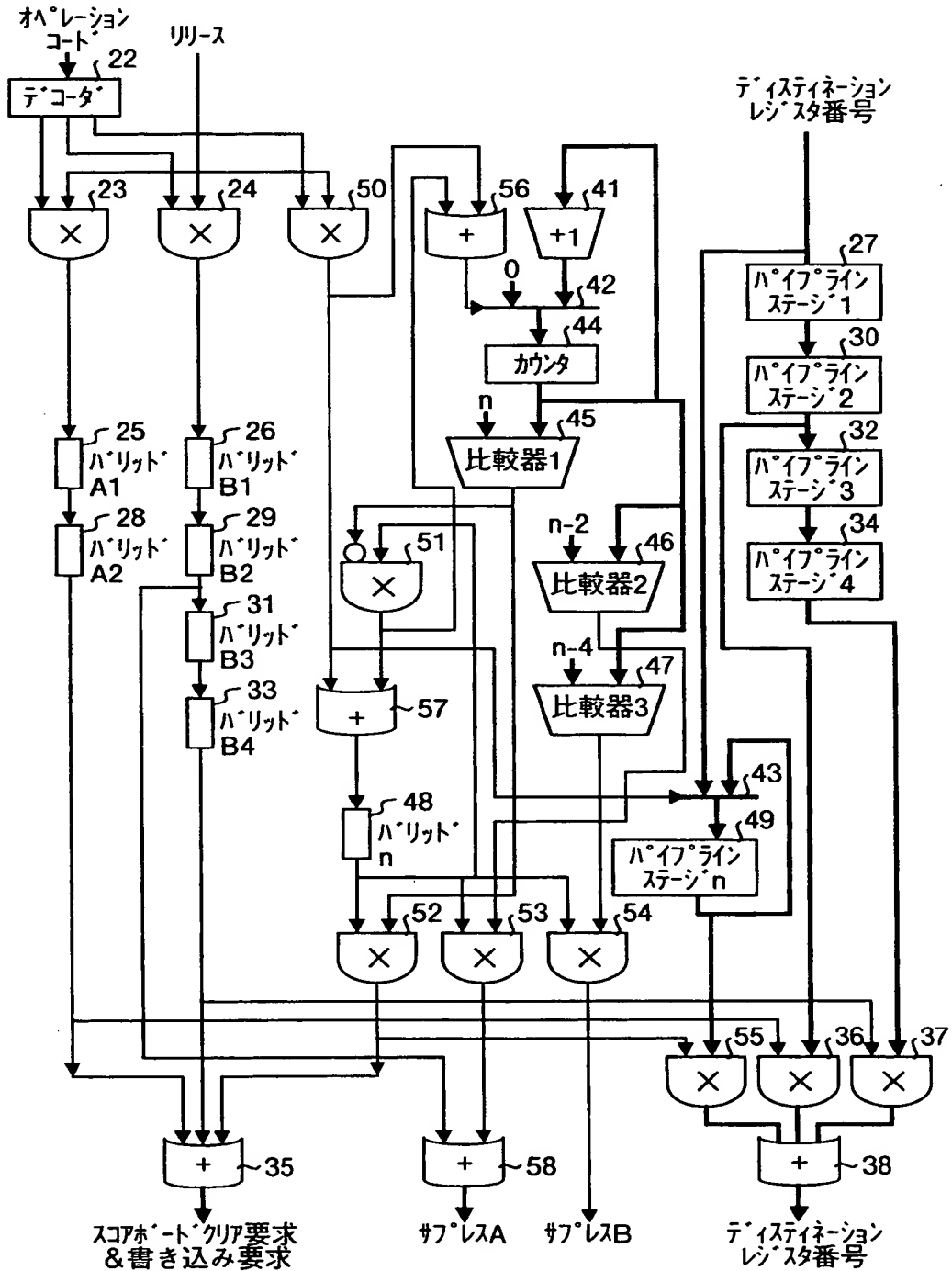
【図 6】

従来の命令実行制御部の構成および動作を説明するための図



【図 7】

従来の命令実行制御部の構成および動作を説明するための図



【書類名】 要約書

【要約】

【課題】 プロセッサコアの制御部の基本設計を変更することなく、特定用途向け演算器を容易に変更可能な構成とすること。

【解決手段】 プロセッサコアの制御部に、特定用途演算命令として、機能仕様を規定しない演算命令を設けるとともに、プロセッサコア内にその特定用途演算命令の演算をおこなう特殊用途命令演算器 7 3 を設ける。特殊用途命令演算器 7 3 は、柔軟なパイプライン構成に対応可能な構成とし、別途応用分野ごとに設計する。プロセッサコア内に、特殊用途命令演算器 7 3 の命令発行から結果が利用可能になるまでのレイテンシを規定する命令結果レイテンシレジスタ 7 2 を設けて出力ポートの競合を防ぐ。プロセッサコア内に、特殊用途命令演算器 7 3 の命令発行の間隔制約に関するレイテンシを規定する命令発行レイテンシレジスタ 7 5 を設けて先行の命令とのリソースの競合を防ぐ。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号  
氏 名 富士通株式会社